

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-68261

(43) 公開日 平成11年(1999)3月9日

(51) Int.Cl.<sup>6</sup>

識別記号

F I

H 0 5 K 1/02

H 0 5 K 1/02

N

H 0 1 L 23/62

1/11

A

H 0 5 K 1/11

H 0 1 L 23/56

A

審査請求 未請求 請求項の数 7 O L (全 9 頁)

(21) 出願番号 特願平9-228179

(22) 出願日 平成9年(1997)8月25日

(71) 出願人 000004260

株式会社デンソー

愛知県刈谷市昭和町1丁目1番地

(72) 発明者 長坂 崇

愛知県刈谷市昭和町1丁目1番地 株式会

社デンソー内

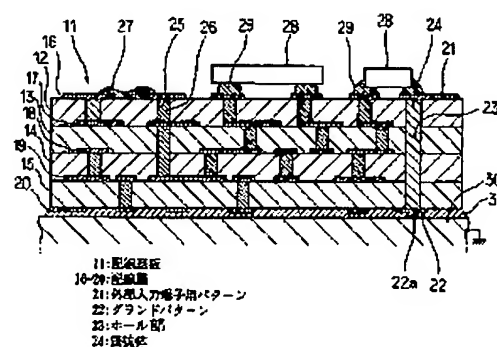
(74) 代理人 弁理士 佐藤 強

(54) 【発明の名称】 配線基板

(57) 【要約】

【課題】 特別な防湿対策を施すことを不要にしながら、外部サージの放電のし易さが変動することを防止し、また、基板を小型化する。

【解決手段】 本発明の配線基板は、基板1に少なくとも2層の配線層6～10を設けて成るものにおいて、1つの配線層6に外部入力端子用パターン11を設け、上記1つの配線層6と異なる配線層10にグラウンドパターン12を設け、基板1にその板面に対して垂直方向にビアホール13を設け、このビアホール13に抵抗体14を充填し、そして、抵抗体14の上下端部を外部入力端子用パターン11及びグラウンドパターン12に接続したものである。



11:配線基板  
16-20:配線層  
21:外部入力端子用パターン  
22:グラウンドパターン  
23:ビアホール  
24:導電性ペースト

(2)

特開平 11-68261

1

2

## 【特許請求の範囲】

【請求項 1】 基板に少なくとも 2 層の配線層を設けて成る配線基板において、一方の前記配線層に設けられた外部入力端子用導体と、他方の前記配線層に設けられたグラウンド用導体と、前記基板内に設けられたホール部と、

このホール部に充填された抵抗体とを備え、前記外部入力端子用導体は、前記抵抗体を介して前記グラウンド用導体に接続されていることを特徴とする配線基板。

【請求項 2】 前記基板をセラミック若しくはガラスセラミックから構成すると共に、前記抵抗体を基板材料と導体とを主として混合した混合材料から構成することを特徴とする請求項 1 記載の配線基板。

【請求項 3】 前記配線基板を、内部に 1 層以上の内部配線層を設けて成る多層基板から構成することを特徴とする請求項 2 記載の配線基板。

【請求項 4】 前記ホール部は、前記基板内において任意に設定された所定領域を有する孔であることを特徴とする請求項 1 ないし 3 のいずれかに記載の配線基板。

【請求項 5】 前記ホール部は、前記基板を貫通するように設けられていることを特徴とする請求項 1 ないし 4 のいずれかに記載の配線基板。

【請求項 6】 前記ホール部を、前記基板の内部で横方向に位置がずれるように設けられた複数の部分ホールから構成すると共に、前記複数の部分ホールに直交充填された抵抗体を、内部配線層に設けられた導体パターン若しくは抵抗体パターンにより接続したことを特徴とする請求項 1 ないし 3 のいずれかに記載の配線基板。

【請求項 7】 前記基板を接合する金属製のベースを備え、

前記グラウンド用導体を前記基板の接合面に設けると共に、前記グラウンド用導体に前記ベース側へ突出するように凸部を設けたことを特徴とする請求項 1 ないし 6 のいずれかに記載の配線基板。

## 【発明の詳細な説明】

【0001】

【発明の居する技術分野】本発明は、外部サージ電圧に対する回路保護機能を備えて成る配線基板に関する。

【0002】

【従来の技術】この種の配線基板の一例として、特公昭 61-39742 号公報に記載された構成がある。この構成では、図 1 2 及び図 1 3 に示すように、基板 1 上に外部入力端子 2 用の導体パターン 3 とグラウンドパターン 4 を設けると共に、これら導体パターン 3 とグラウンドパターン 4 との間に所定距離のギャップを設けている。そして、100kΩ 以上の高抵抗膜 5 を、上記ギャップを埋めるようにして導体パターン 3 とグラウンドパターン 4

に設けている。

【0003】この構成の場合、外部サージ電圧が外部入力端子 2 から導体パターン 3 に印加された場合、該外部サージは高抵抗膜 5 を通ってグラウンドパターン 4 へ速やかに放電されるようになる。これにより、基板 1 上に設けられた回路素子等（図示しない）を上記外部サージから保護することができる。

【0004】

【発明が解決しようとする課題】しかしながら、上記従来構成では、水分や湿気等が高抵抗膜 5 の表面に付着すると、導体パターン 3 とグラウンドパターン 4 との間の抵抗値が下がってしまう。この場合、水分等の付着量によって導体パターン 3 とグラウンドパターン 4 との間の抵抗値が変動し、外部サージの放電のし易さが変化してばらつき、信頼性が低下するというおそれがあった。そこで、上記公報記載の構成では、図 1 3 に示すように、基板 1 上に導体パターン 3、グラウンドパターン 4 及び高抵抗膜 5 を形成した後、その上を防湿用樹脂 6 により覆うように構成している。しかし、この構成では、基板 1 の表面を防湿用樹脂 6 により覆う工程が必要であるので、製造工程数が増えるという欠点があった。

【0005】また、上記公報記載の構成では、外部サージに対する保護回路構成を形成するに当たって、図 1 2 に示すように、基板 1 の上面に導体パターン 3 とグラウンドパターン 4 とを所定距離のギャップを隔てて設けなければならない。このため、上記保護回路構成を配設するための一定のスペース（面積）を基板 1 の上面において確保しなければならず、その分だけ基板 1 の面積が大きくなり、ひいては基板 1 が大型化するという欠点もあった。

【0006】そこで、本発明の目的は、特別な防湿対策を施すことを不要にしながら、外部サージの放電のし易さが変動することを防止でき、また、基板を小型化することができる配線基板を提供するにある。

【0007】

【課題を解決するための手段】請求項 1 の発明によれば、外部サージが外部入力端子用導体に印加すると、該外部サージは、基板のホール部に充填された抵抗体を通してグラウンド用導体へ放電されるから、基板上に設けられた回路素子等が上記外部サージから保護される。この構成の場合、抵抗体は、基板内に設けられたホール部の内部に充填されているので、抵抗体の表面に水分や湿気が付着することがない。これにより、外部サージの放電のし易さの変動を防止することができ、しかも、特別な防湿対策を施すことが不要である。また、上記構成では、抵抗体を配設するために基板の上面において必要な面積としては、ホール部の断面積よりも若干大きい程度の面積（即ち、ランドの面積程度）で済むから、それだけ基板を小形化できる。

【0008】請求項 2 の発明においては、基板をアルミ

(3)

特開平11-68261

3

4

ナ、窒化アルミなどのセラミックや、或いはガラスセラミックから構成すると共に、抵抗体を基板材料と導体とを主として混合した混合材料から構成した。この構成によれば、アルミナ基板及び抵抗体若しくはガラスセラミック基板及び抵抗体を同時焼成により形成することが可能である。また、請求項3の発明のように、配線基板を、内部に1層以上の内部配線層を設けて成る多層基板から構成することが好ましい。更に、請求項4の発明のように、ホール部を基板内において任意に設定された所定領域を有する孔としても良いし、請求項5の発明のように、基板を貫通するようにホール部を設けても良い。

【0009】また、請求項6の発明においては、ホール部を、基板の内部で横方向に位置がずれるように設けられた複数の部分ホールから構成し、これら複数の部分ホールに充填された複数の抵抗体を、内部配線層に設けられた導体パターン若しくは抵抗体パターンにより接続するように構成した。この構成によれば、ホールを形成する位置を設定し易くなり、それだけ設計の自由度が高くなる。

【0010】請求項7の発明では、基板を接着する金属製のベースを備え、グランドパターンを基板の接着面に設けると共に、このグランドパターンにベース側へ突出するように凸部を設けた。この構成によれば、外部サージは、外部入力端子用パターンから抵抗体を通してグランドパターンへ放電され、更に、グランドパターンの凸部から接着剤層を通して金属製のベースへ放電されるようになり、外部サージがより一層速やかに放電される。

【0011】

【発明の実施の形態】

（第1実施例）以下、本発明をアルミナ多層基板に適用した第1実施例について、図1ないし図4を参照しながら説明する。まず、図1はアルミナ多層基板1の拡大縦断面図である。この図1に示すように、アルミナ多層基板11は、例えば4枚のアルミナ基板12、13、14、15を重ねて構成されている。上記アルミナ多層基板11には、その上面（アルミナ基板12の上面）に配線層16が設けられ、内部に4枚のアルミナ基板12、13、14、15の各間に位置して3層の配線層17、18、19が設けられ、下面（アルミナ基板15の下面）に配線層20が設けられている。

【0012】上記各配線層16～20は、所要の形状の導体パターン（配線パターン）から構成されている。また、上記導体パターンは、例えばWやMo等の導体で構成されている。ここで、アルミナ多層基板11の上面の配線層16における図1中右端部には、外部入力端子用導体として例えば外部入力端子用パターン21が設けられている。この外部入力端子用パターン21には、外部入力端子（図示しない）が形成されている。また、アルミナ多層基板11の下面の配線層20における図1中右端部には、グランド用導体として例えばグランドパター

ン22が設けられている。

【0013】また、アルミナ多層基板11における外部入力端子用パターン21とグランドパターン22とが対向する部位には、ホール部として例えばビアホール23がアルミナ多層基板11の板面に対して垂直方向に設けられている。上記ビアホール23の内径寸法は、例えば直径0.1～0.4mm程度である。そして、このビアホール23内には、例えば100kΩ以上の抵抗値の抵抗体24が充填されている。この抵抗体24の両端部（上下端部）は、外部入力端子用パターン21とグランドパターン22とに接続されている。また、上記抵抗体24は、基板材料であるアルミナと、導体である例えばWやMo等とを混合した混合材料から構成されており、抵抗値が大きく且つ外部サージを逃がし易い材料である。

【0014】尚、アルミナ多層基板11における各配線層16～20の導体パターンの対向する部位には、上記ビアホール23の他に多数のビアホール25が適宜設けられていると共に、これらビアホール25内には導体26が充填されている。これら多数の導体26により各配線層16～20の導体パターンが接続されている。そして、上記導体26は、例えばWやMo等の導体で構成されている。

【0015】一方、上記グランドパターン22の下面には、図2にも示すように、凸部22aが下方へ向けて突設されている。この凸部22aの突出寸法Aは、例えば15～65μm程度である。尚、グランドパターン22（即ち、配線層16～20の導体パターン）の厚み寸法Bは、例えば15μm程度である。

【0016】また、このような構成のアルミナ多層基板11の上面には、図1に示すように、抵抗体膜27が例えば印刷及び焼き付けすることにより設けられている。また、アルミナ多層基板11の上面には、ICやベアチップ等の電子部品28が例えば半田付け或いは導電性接着剤により取り付けられている。尚、図1において、符号「29」は半田或いは導電性接着剤を示している。

【0017】更に、上記アルミナ多層基板11は、その下面を金属製のベース30の上に載せるようにして該ベース30に例えば接着により固定されている。上記ベース30は、例えばアルミナ多層基板11を収容固定するためのケースである。この場合、アルミナ多層基板11の下面とベース30の上面との間には、絶縁接着剤31が充填されており、この接着剤31の層の厚み寸法は、例えば100μm程度である。従って、グランドパターン22の凸部22aの先端部とベース30の上面との間の隙間は、20～70μm程度となっている。

【0018】次に、上記構成のアルミナ多層基板11を製造する工程について簡単に説明する。まず、4枚のアルミナ基板12～15に対応する4枚のアルミナのグリーンシート（グリーンシート1枚の厚みは、0.1～

(4)

特開平11-68261

5

6

0.4mm程度)を用意し、これら4枚のグリーンシートの所定の位置にビアホール23、25を形成する。続いて、WやMo等からなる導体ペースト26をグリーンシートのビアホール25内に、周知の方法(例えばスクリーン印刷)により充填する。次いで、アルミナとWやMo等とを混合した混合材料からなる抵抗体ペースト24をグリーンシートのビアホール23内に、周知の方法(例えばスクリーン印刷)により充填する。上記混合材料の具体的混合割合等については、後述する。

【0019】そして、各グリーンシートの表面に、WやMo等からなる導体ペーストをスクリーン印刷することにより配線層16～20の導体パターンに対応する印刷パターンを形成する。この後、4枚のグリーンシートを重ねると共に、重ねた状態で加圧し圧着する。続いて、この圧着したものを例えば1600℃程度の温度で焼成する。これにより、図1に示すようなアルミナ多層基板11が製造される。この構成の場合、抵抗体24、導体26及び基板11は同時焼成されるように構成されている。

【0020】このような構成の本実施例によれば、外部サージ電圧がアルミナ多層基板11の外部入力端子用パターン21に印加すると、該外部サージは、アルミナ多層基板11のビアホール23に充填された抵抗体24を通してグランドパターン22へ速やかに放電される。このため、アルミナ多層基板11上に設けられた回路素子(例えば電子部品28)等が上記外部サージから保護される。そして、本実施例の場合、抵抗体24は、アルミナ多層基板11にその板面に対して垂直方向に設けられたビアホール23の内部に充填されているので、抵抗体24の表面に水分や湿気が付着することがない。これにより、外部サージの放電のし易さの変動を防止することができ、しかも、特別な防湿対策を施すことが不要である。

【0021】また、上記実施例の構成では、抵抗体24を配設するためにアルミナ多層基板11の上面において確保しなければならない必要最小面積は、ビアホール23の断面積よりも若干大きい面積程度で済むから、それだけアルミナ多層基板11を小形化することができる。

【0022】ここで、上記実施例の抵抗体24を構成する混合材料について、図3及び図4を参照して説明する。まず、本発明者は、導電成分であるW(タングステン)またはMo(モリブデン)と、アルミナとを混合した混合材料の焼成後の抵抗値が混合割合によってどのように変化するかを実測してみた。一例として、Wとアルミナとの混合材料の混合割合(例えばアルミナの重量比)を変えながら抵抗値を測定した測定結果を図3に示す。この図3から、アルミナの混合割合を所定値以上になると、混合材料の焼成後の抵抗値は急激に増大して無限大(オープン)になることがわかった。

【0023】上記抵抗値がこのような理由で、アル

ミナの混合割合が少ない図4(a)と、アルミナの混合割合が多い図4(b)とからわかるように、アルミナの混合割合が一定以上になると、抵抗体(混合材料)の導電経路において、導電粒子(Wの粒子)同士の電気的接合がなくなる部位が生じるためであると考えられる。尚、上記図4(a)及び(b)に示すガラス質の部分は、焼成時にグリーンシートから流れ込んできて形成されるものである。そして、上記アルミナの混合割合が多い図4(b)の構成の場合、電気的絶縁は粒径が1～3μm程度のアルミナ粒子並びにガラス質によって確保されているため、絶縁距離が極めて小さい。このため、外部サージ電圧のような高電圧が印加されると、容易に絶縁破壊し、外部サージが抵抗体(混合材料)を通過することが確認された。

【0024】また、本発明者の実験によれば、外部サージの印加時には、サージが抵抗体(混合材料)を通過し、通過後は絶縁性が再び確保されることを確認した。即ち、上記した混合材料からなる抵抗体は、外部サージの放電抵抗として好ましい特性、具体的には、抵抗値が大きく且つ外部サージを逃がし易い特性を有していることがわかった。

【0025】そして、Wとアルミナの混合割合としては、抵抗値が急激に無限大になるところ、図3のグラフの場合、重量比が約50%前後の領域に設定すれば良いことがわかった。ここで、導体の種類や粒径や形状並びにアルミナの粒径や形状によって、混合割合と抵抗値との関係(図3のグラフ)が変化するため、実際に使用する導体とアルミナを用いて図3のグラフを測定してから、最適な混合割合を設定することが好ましい。

【0026】また、上記実施例では、基板材料(アルミナ)と導体とを混合した混合材料から抵抗体24を構成したが、これに限られるものではなく、他の材料を添加して抵抗体を構成しても良い。他の材料を添加して抵抗体を構成した例として、第2実施例(図5)並びに第3実施例(図6)を示す。

【0027】(第2実施例)図5に示すように、第2実施例では、導電性粒子であるW粒子32の間に、導電性材料として金属酸化物32aを基板の焼成時に介在させるように構成することにより、所望の抵抗値を得ている。上記金属酸化物としては、例えばLa、Y、Nb、Sc等の金属からなる金属酸化物がある。

【0028】(第3実施例)また、図6に示すように、第3実施例においては、基板の焼成時の高温(1600℃)でアルミナに固溶する金属酸化物を添加するように構成した。この構成の場合、W粒子32間に多くのアルミナ粒子33が介在していても、所望の抵抗値を得ることが可能である。

【0029】尚、前記第1の実施例では、アルミナ製の多層基板11に適用したが、これに限られるものではなく、例えばガラスセラミック製の多層基板に適用しても

(5)

特開平11-68261

7

8

良い。この構成の場合、ガラスセラミック多層基板を850～900℃程度で同時焼成することにより製造することができる。そして、この構成において、外部サージ放電用の抵抗体を構成する材料として、基板材料であるガラスセラミックと、導体である例えばAg、Ag/Pd、Cu、Au等とを混合した混合材料を用いることが好ましい。尚、上記ガラスセラミック多層基板では、配線層用の導体及びビアホール充填用の導体として、上記Ag、Ag/Pd、Cu、Au等を用いている。

【0030】また、前記第1の実施例では、アルミナ製の多層基板11を貫通するように形成されたビアホール23内（のすべて）に抵抗体24を充填するように構成したが、これに限られるものではなく、ビアホール23内のうちの一部分（例えば2層のアルミナ基板12及び13に対応する部分）だけに抵抗体を充填し、残りの部分には導体を充填するように構成しても良い。

【0031】（第4実施例）図7は、本発明の第4実施例を示す図である。尚、図1に示す第1実施例と同一部分には同一符号を付している。上記第4実施例では、本発明をスルーホール基板34に適用した。このスルーホール基板34は、アルミナ製の基板35と、この基板35の上面及び下面に設けられた配線層36及び37とから構成されている。上記各配線層36、37は、所定の形状の導体パターン（配線パターン）から構成されている。また、上記導体パターンは、例えばAg、Ag/Pd、Cu、Au等の導体で構成されている。

【0032】そして、上面の配線層36における図7（a）中右端部には、外部入力端子用導体として例えば外部入力端子用パターン38が設けられている。この外部入力端子用パターン38には、外部入力端子（図示しない）が形成されている。また、下面の配線層37における図7（a）中右端部には、グランド用導体として例えばグランドパターン39が設けられている。

【0033】また、基板35における外部入力端子用パターン38とグランドパターン39とが対向する部位には、ホール部として例えばスルーホール40が基板35の板面に対して垂直方向に設けられている。そして、このスルーホール40内には、例えば100kΩ以上の抵抗値の抵抗体41が充填されている。この抵抗体41の両端部（上下端部）は、外部入力端子用パターン38とグランドパターン39とに接続されている。また、上記抵抗体41は、一般的な厚膜抵抗体の材料である例えばRu系材料、LaB<sub>6</sub>系材料、SnO<sub>2</sub>系材料等から構成されており、抵抗値が大きく且つ外部サージを逃がし易い材料である。尚、上記抵抗体41を、導体と、抵抗体或いはガラスとを混合した混合材料から構成しても良い。

【0034】そして、基板35における配線層36、37の導体パターンの対向する部位には、上記スルーホール40の他に多数のスルーホール42が適宜設けられて

いると共に、これらスルーホール42内には導体43が充填されている。これら多数の導体43により各配線層36、37の導体パターンが接続されている。そして、上記導体43は、例えばAg、Ag/Pd、Cu、Au等の導体で構成されている。

【0035】また、このような構成のスルーホール基板34の上面及び下面には、図7（a）に示すように、抵抗体層27が印刷及び焼き付けすることにより設けられている。また、スルーホール基板34の上面には、ICやチップ等の電子部品28が半田付け或いは導電性接着剤により取り付けられている。更に、上記スルーホール基板34は、その下面を金属製のベース30の上に載せるようにして該ベース30に例えば接着により固定されている。

【0036】ここで、上記構成のスルーホール基板34を製造する工程について簡単に説明する。まず、生のシート状のアルミナを焼成して基板35を形成する。この場合、焼成前に、基板35にスルーホール40、42を形成しておくことが好ましい。尚、基板35の焼成後に、スルーホール40、42を形成しても良い。

【0037】続いて、上記基板35のスルーホール42内に、Ag、Ag/Pd、Cu、Au等からなる導体ペーストを周知の方法（例えばスクリーン印刷）により充填する。この場合、図7（b）に示すように、スルーホール42の内周面及び上下の開口縁部にだけ導体ペーストを印刷して導体ペーストの層を形成するように構成しても良い。次いで、基板35の抵抗体41充填用のスルーホール40内に、一般的な厚膜抵抗体の材料等からなる抵抗体ペーストを周知の方法（例えばスクリーン印刷）により充填する。尚、この場合も、図7（b）に示すように、スルーホール40の内周面及び上下の開口縁部にだけ抵抗体ペーストを印刷して抵抗体ペーストの層を形成するように構成しても良い。

【0038】そして、基板35の上下面に、Ag、Ag/Pd、Cu、Au等からなる導体ペーストをスクリーン印刷することにより配線層36、37の導体パターンに対応する印刷パターンを形成する。この後、基板35を例えば850℃程度の温度で焼成する。これにより、図7（a）に示すようなスルーホール基板34が製造される。

【0039】尚、上述した以外の第4実施例の構成は、第1実施例の構成と同じ構成となっている。従って、この第4実施例においても、第1実施例とほぼ同じ作用効果を得ることができる。また、第4実施例のグランドパターン39に、第1実施例のグランドパターン22に突設した凸部22aと同じ形状の凸部を突設するように構成しても良い。

【0040】（第5実施例）図8は、本発明の第5実施例を示す図である。尚、図1に示す第1実施例と同一部分には同一符号を付している。上記第5実施例では、本

(6)

特開平 11-68261

9

10

発明を厚膜多層基板 4 4 に適用した。この厚膜多層基板 4 4 は、アルミナ等からなるセラミック基板 4 5 の上面に配線層 4 6、4 7 及び絶縁層 4 8 を印刷・焼成することにより形成されている。

【0041】具体的には、まず、セラミック基板 4 5 の上面に、導体ペーストを印刷して配線層 4 6 の導体パターンに対応する印刷パターンを形成した後、この印刷パターンを焼成する。このとき、配線層 4 6 の導体パターンの一部分として、グランドパターン 4 6 a が形成される。続いて、その上に例えばガラス等からなる絶縁体ペーストを印刷して絶縁層 4 8 を形成した後、これを焼成する。このとき、絶縁層 4 8 に、抵抗体 4 9 充填用のビアホール 5 0 及び導体 5 1 充填用のビアホール 5 2 が形成される。

【0042】次に、ビアホール 5 2 内に、導体ペーストを印刷等により充填すると共に、ビアホール 5 0 内に抵抗体ペーストを印刷等により充填した後、これら充填した導体ペースト及び抵抗体ペーストを焼成する。この場合、導体ペーストを充填した後、該導体ペーストを焼成し、その後、抵抗体ペーストを充填・焼成するように構成しても良い。また、抵抗体ペーストを先に充填・焼成した後、導体ペーストを充填・焼成するように構成しても良い。

【0043】続いて、上記絶縁層 4 8 の上面に、導体ペーストを印刷して配線層 4 7 の導体パターンに対応する印刷パターンを形成した後、この印刷パターンを焼成する。このとき、配線層 4 7 の導体パターンの一部分として、外部入力端子用パターン 4 7 a が形成される。これにより、厚膜多層基板 4 4 が製造される。そして、このように製造された厚膜多層基板 4 4 の上面に、抵抗体膜 2 7 を印刷及び焼き付けている。また、厚膜多層基板 4 4 の上面に、IC やペアクリップ等の電子部品 2 8 を半田付け或いは導電性接着剤により取り付けている。

【0044】尚、上述した以外の第 5 実施例の構成は、第 1 実施例の構成と同じ構成となっている。従って、この第 5 実施例においても、第 1 の実施例とほぼ同じ作用効果を得ることができる。また、上記第 5 実施例の場合、絶縁体ペーストを印刷・焼成する作業を 1 回実行することにより絶縁層 4 8 を形成するように構成したが、これに代えて、絶縁体ペーストを印刷・焼成する作業を複数回実行することにより絶縁層 4 8 を形成するように構成しても良い。更に、第 5 実施例においては、セラミック基板 4 5 の上に 2 層の配線層 4 6、4 7 及び 1 層の絶縁層 4 8 を設けたが、これに限られるものではなく、3 層以上の配線層及び 2 層以上の絶縁層を設けるように構成しても良い。

【0045】(第 6 実施例) 図 9 は本発明の第 6 実施例を示す図である。尚、図 1 に示す第 1 の実施例と同一部分には同一符号を付している。上記第 6 実施例では、アルミナ多層基板 1 1 に抵抗体充填用のホールを形成する

に当たって、複数例えば 4 個のビアホール 5 3、5 4、5 5、5 6 をアルミナ多層基板 1 1 の内部で横方向に位置がずれるように設けた。そして、これら 4 個のビアホール 5 3、5 4、5 5、5 6 内にそれぞれ抵抗体 5 7、5 8、5 9、6 0 を充填すると共に、これら 4 個の抵抗体 5 7、5 8、5 9、6 0 を内部配線層 1 7、1 8、1 9 に設けられた導体パターン 6 1、6 2、6 3 により接続した。また、最上位の抵抗体 5 7 の上端部を外部入力端子用パターン 2 1 に接続し、最下位の抵抗体 6 0 の下端部をグランドパターン 2 2 に接続した。

【0046】この構成の場合、4 個のビアホール 5 3、5 4、5 5、5 6 が部分ホールを構成している。そして、これらビアホール 5 3、5 4、5 5、5 6 から抵抗体充填用のホール 6 4 が構成されている。尚、抵抗体 5 7～6 0 の構成材料は、第 1 の実施例の抵抗体 2 4 と同じ材料である。

【0047】また、上述した以外の第 6 実施例の構成は、第 1 実施例の構成と同じ構成となっている。従って、この第 6 実施例においても、第 1 実施例とほぼ同じ作用効果を得ることができる。特に、上記第 6 実施例によれば、セラミック多層基板 1 1 において抵抗体充填用のホール 6 4 を形成する位置を設定し易くなり、それだけ設計の自由度を高くすることができる。

【0048】尚、上記第 6 実施例においては、4 個のビアホール 5 3～5 6 のすべてに抵抗体 5 7～6 0 を充填するように構成したが、これに限られるものではなく、4 個のビアホール 5 3～5 6 のうちの少なくとも 1 つの内部に抵抗体を充填し、残りのビアホール内には導体を充填するように構成しても良い。この構成の場合も、上記第 6 実施例とほぼ同じ作用効果を得ることができる。

【0049】(第 7 実施例) 図 10 は本発明の第 7 実施例を示す図である。尚、図 9 に示す第 6 実施例と同一部分には同一符号を付している。上記第 7 実施例では、複数の部分ホールである 4 個のビアホール 5 3～5 6 に充填された 4 個の抵抗体 5 7～6 0 を、内部配線層 1 7、1 8、1 9 に設けられた抵抗体パターン 6 5、6 6、6 7 により接続するように構成した。上記抵抗体パターン 6 5、6 6、6 7 は、内部配線層 1 7、1 8、1 9 の導体パターンを印刷する工程において、同様な印刷方法により形成すれば良い。尚、これ以外の第 7 実施例の構成は、第 6 実施例の構成と同じ構成となっている。従って、この第 7 実施例においても、第 6 実施例とほぼ同じ作用効果を得ることができる。

【0050】また、上記第 7 実施例においては、4 個のビアホール 5 3～5 6 のすべてに抵抗体 5 7～6 0 を充填するように構成したが、これに限られるものではなく、4 個のビアホール 5 3～5 6 のうちの少なくとも 1 つの内部に抵抗体を充填し、残りのビアホール内には導体を充填するように構成しても良い。この構成の場合も、上記第 7 実施例とほぼ同じ作用効果を得ることがで

(7)

特開平11-68261

11

12

さる。

【0051】（第8実施例）図11は本発明の第8実施例を示す図である。この第8実施例では、3つの絶縁層68、69、70を重ねて絶縁層71を構成し、上側の絶縁層68の上面に外部入力端子用パターン72を設け、下側の絶縁層70の下面にグランドパターン73を設けている。上記3層の絶縁層68、69、70のうちの其中的絶縁層69は、厚さが例えば10～50 $\mu$ m程度の誘電体の層から構成されており、絶縁層71の内部の他の部位（図示しない）に例えばコンデンサを作成するための誘電体層である。

【0052】そして、上側の絶縁層68及び下側の絶縁層70のうちの外部入力端子用パターン72とグランドパターン73が対向する部位に、ホールとして例えばビアホール74、75が設けられている。更に、これらビアホール74、75内に抵抗体76、77が充填されている。上側の抵抗体76の上端部は外部入力端子用パターン72に接続され、下側の抵抗体77の下端部はグランドパターン73に接続されている。上側の抵抗体76の下端部と、下側の抵抗体77の上端部は絶縁層69を挟んで対向している。

【0053】上記構成の場合、絶縁層56の厚みが十分薄いから、外部サージ電圧が外部入力端子用パターン72に印加されると、該外部サージ電圧は抵抗体76、77及び絶縁層69を通してグランドパターン73に放電される。尚、上述した以外の第8実施例の構成は、第1実施例の構成と同じ構成となっている。従って、この第8実施例においても、第1実施例とほぼ同じ作用効果を得ることができる。

【0054】尚、上記各実施例においては、本発明をいわゆる厚膜回路から構成された配線基板上に適用したが、これに代えて、いわゆる薄膜回路から構成された配線基板やプリント配線基板上に適用しても良い。

【0055】又、上記各実施例で説明した基板の構成材料をアルミナやガラスセラミック以外に窒化アルミとしてもよい。この場合の導体材料もWやMoを用いることができる。そして、ホール内に充填する抵抗体として、基板材料である窒化アルミと導体であるWやMoとを混合した混合材料から構成することで抵抗値を大きくし且\*

\*つ外部サージを逃し易い材料とすることができる。

【図面の簡単な説明】

【図1】本発明の第1実施例を示すアルミナ多層基板の拡大縦断側面図

【図2】グランドパターン周辺の部分拡大縦断側面図

【図3】抵抗体の混合割合（アルミナの重量比）と抵抗値との関係を示すグラフ

【図4】（a）はアルミナが少ない場合の混合材料を示す図、（b）はアルミナが多い場合の混合材料を示す図

【図5】本発明の第2実施例を示す混合材料を示す図

【図6】本発明の第3実施例を示す混合材料を示す図

【図7】本発明の第4実施例を示すもので、（a）は図1相当図、（b）は第4実施例の変形例の縦断側面図

【図8】本発明の第5実施例を示す図1相当図

【図9】本発明の第6実施例を示す図1相当図

【図10】本発明の第7実施例を示す図9相当図

【図11】本発明の第8実施例を示す図1相当図

【図12】従来構成を示す配線基板の部分上面図

【図13】配線基板の部分縦断側面図

【符号の説明】

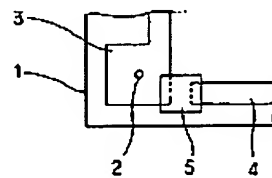
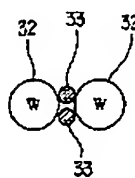
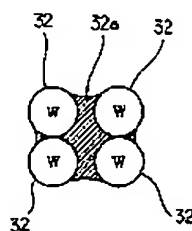
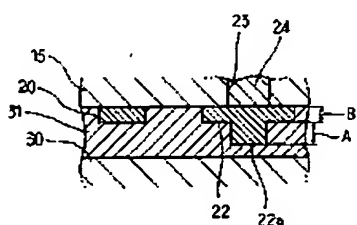
11はアルミナ多層基板、12、13、14、15はアルミナ基板、16、17、18、19、20は配線層、21は外部入力端子用パターン（外部入力端子用導体）、22はグランドパターン（グランド導体）、22aは凸部、23はビアホール（ホール部）、24は抵抗体、25はビアホール、28は電子部品、30はベース、31は絶縁接着剤、34はスルーホール基板、35は基板、36、37は配線層、38は外部入力端子用パターン、39はグランドパターン、40はスルーホール、41は抵抗体、42はスルーホール、44は厚膜多層基板、45はセラミック基板、46、47は配線層、48は絶縁層、49は抵抗体、50はビアホール、51は導体、52はビアホール、53～56はビアホール（部分ホール）、57～60は抵抗体、61～63は抵抗体パターン、64はホール、65～67は抵抗体パターン、68～71は絶縁層、72は外部入力端子用パターン、73はグランドパターン、74、75はビアホール（ホール部）、76、77は抵抗体を示す。

【図2】

【図5】

【図6】

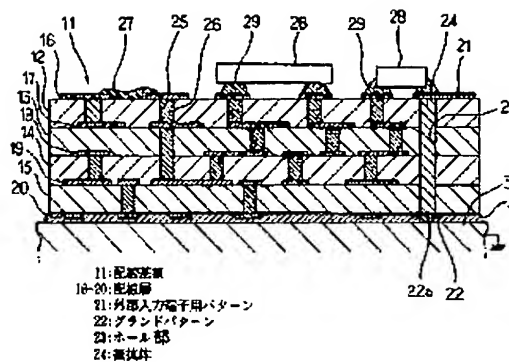
【図12】



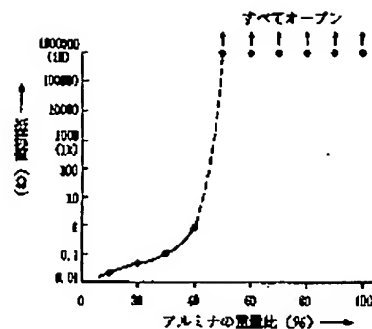
(8)

特開平11-68261

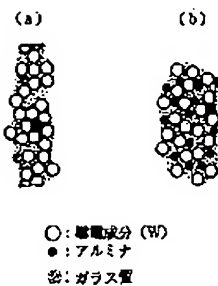
【図1】



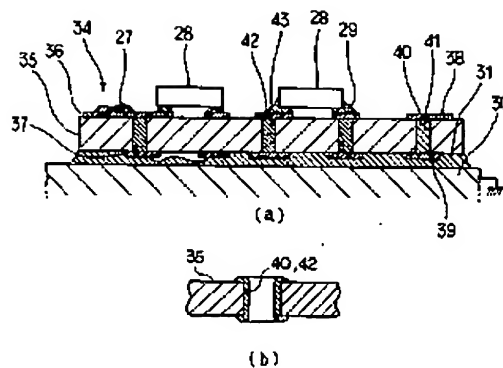
【図3】



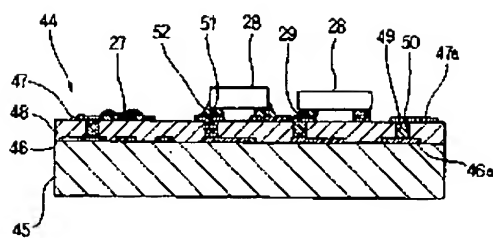
【図4】



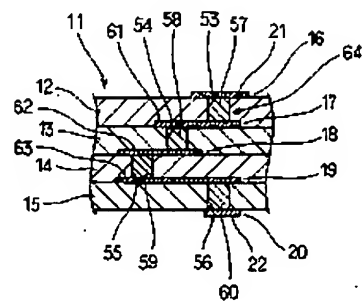
【図7】



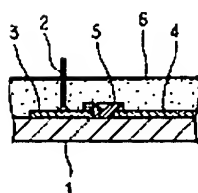
【図8】



【図9】



【図13】

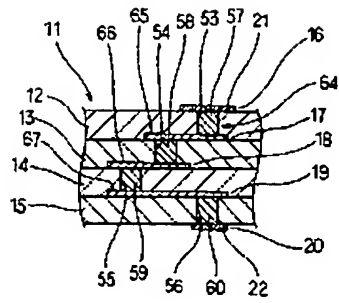




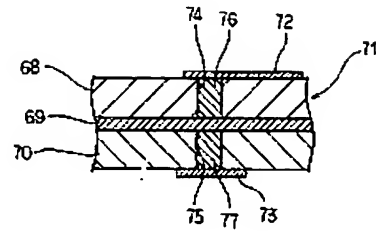
(9)

特開平 1 1 - 6 8 2 6 1

【図 10】



【図 11】



**\* NOTICES \***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**CLAIMS**

---

**[Claim(s)]**

[Claim 1] the object for external-input terminals prepared in one aforementioned wiring layer in the wiring substrate which prepares a two-layer wiring layer in a substrate, and grows into it at least -- with a conductor the object for glands prepared in the aforementioned wiring layer of another side -- a conductor, the hole section prepared in the aforementioned substrate, and the resistor with which this hole section was filled up -- having -- the aforementioned object for an external-input terminal -- a conductor -- the aforementioned resistor -- minding -- the aforementioned object for a gland -- the wiring substrate characterized by connecting with a conductor

[Claim 2] The wiring substrate according to claim 1 characterized by constituting the aforementioned resistor from a charge of an admixture which mainly mixed the substrate material and the conductor while the aforementioned substrate is constituted from a ceramic or a glass ceramic.

[Claim 3] The wiring substrate according to claim 2 characterized by constituting the aforementioned wiring substrate from a multilayer substrate which prepares an one or more-layer internal wiring layer in the interior, and changes.

[Claim 4] The aforementioned hole section is a wiring substrate according to claim 1 to 3 characterized by being the hole which has the predetermined field arbitrarily set up in the aforementioned substrate.

[Claim 5] The aforementioned hole section is a wiring substrate according to claim 1 to 4 characterized by being prepared so that the aforementioned substrate may be penetrated.

[Claim 6] The wiring substrate according to claim 1 to 3 characterized by connecting the resistor with which two or more aforementioned partial holes were filled up suitably with the conductor pattern in which it was prepared by the internal wiring layer, or a resistor pattern while the aforementioned hole section was constituted from two or more partial holes prepared so that a position might shift to longitudinal direction inside the aforementioned substrate.

[Claim 7] the metal base on which the aforementioned substrate is pasted up -- having -- the aforementioned object for a gland -- while a conductor is prepared in the adhesion side of the aforementioned substrate -- the aforementioned object for a gland -- the wiring substrate according to claim 1 to 6 characterized by preparing a heights so that it may project to the aforementioned base side in a conductor

## DETAILED DESCRIPTION

---

[Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] this invention relates to the wiring substrate which is equipped with the circuit-protection function to external surge voltage, and changes.

[0002]

[Description of the Prior Art] There is a configuration indicated by JP,61-39742,B as an example of this kind of wiring substrate. With this configuration, as shown in the drawing 12 and the drawing 13 , while the conductor pattern 3 and the grand pattern 4 for external-input terminal 2 are prepared on a substrate 1, the gap of predetermined distance is prepared between these conductor patterns 3 and the grand pattern 4. And the high resistance layer 5 beyond 100kohm is formed in the conductor pattern 3 and the grand pattern 4, as the above-mentioned gap is buried.

[0003] When external surge voltage is impressed to a conductor pattern 3 from the external-input terminal 2 in this configuration, this external surge comes to discharge quickly to the grand pattern 4 through the high resistance layer 5. Thereby, the circuit element prepared on the substrate 1 can be protected from the above-mentioned external surge (not shown).

[0004]

[Problem(s) to be Solved by the Invention] However, conventionally [ above-mentioned ], with a configuration, if moisture, moisture, etc. adhere to the front face of the high resistance layer 5, the resistance between a conductor pattern 3 and the grand pattern 4 will fall. In this case, by coating weights, such as moisture, the resistance between a conductor pattern 3 and the grand pattern 4 was changed, the ease of carrying out of electric discharge of an external surge changed and varied, and there was a possibility of saying that a reliability falls. Then, as shown in drawing 13 , after forming a conductor pattern 3, the grand pattern 4, and the high resistance layer 5 on a substrate 1, it constitutes from a configuration given [ above-mentioned ] in an official report so that a it top may be covered with the resin for moisture proof 6. However, with this configuration, there was a fault that the number of manufacturing processes increased the front face of a substrate 1 with the resin for moisture proof 6 since the wrap process is required.

[0005] Moreover, with a configuration given [ above-mentioned ] in an official report, in forming the circuit arrangement for protection to an external surge, as shown in drawing 12 , the gap of predetermined distance must be separated on the top of a substrate 1, and a conductor pattern 3 and the grand pattern 4 must be formed in it. For this reason, the fixed space (area) for arranging the above-mentioned circuit arrangement for protection had to be secured in the top of a substrate 1, and, only in the part, the area of a substrate 1 became large, as a result there was also a fault that a substrate 1 large-sized-ized.

[0006] Then, the purpose of this invention is to offer the wiring substrate which can prevent changing the ease of carrying out of electric discharge of an external surge, and can miniaturize a substrate, making it unnecessary to take the special measures against moisture proof.

[0007]

[Means for Solving the Problem] according to invention of a claim 1 -- an external surge -- the object for external-input terminals -- the resistor with which this external surge was filled up into the hole section of a substrate when impressed by the conductor -- letting it pass -- the object for glands -- since it discharges to a conductor, the circuit element prepared on the substrate is protected from the above-mentioned external surge. Since the interior of the hole section the resistor was prepared in the substrate in this configuration is filled up, neither moisture nor moisture adheres on the surface of a resistor. It is unnecessary to be able to prevent change of the ease of carrying out of electric discharge of an external surge, and to take the special measures against moisture proof moreover by this. Moreover, with the above-mentioned configuration, since it ends with the area (namely, area grade of a land) of a grade larger a little than the cross section of the hole section as a required area on the top of a substrate in order to arrange a resistor, a substrate can be miniaturized so much.

[0008] invention of a claim 2 -- setting -- a substrate -- ceramics, such as an alumina and nitriding aluminum, -- or while constituting from a glass ceramic, the resistor consisted of a charge of an admixture which mainly mixed the substrate material and the conductor. According to this configuration, it is possible to form an alumina substrate and a resistor or a glass ceramic substrate, and a resistor by simultaneous baking. Moreover, it is desirable to constitute a wiring substrate from a multilayer substrate which prepares an one or more-layer internal wiring layer in the interior, and changes like invention of a claim 3. Furthermore, it is good also as a hole which has the predetermined field arbitrarily set up in the substrate in the hole section like invention of a claim 4, and like invention of a claim 5, you may prepare the hole section so that a substrate may be penetrated.

[0009] Moreover, in invention of a claim 6, the hole section was constituted from two or more partial holes prepared so that a position might shift to longitudinal direction inside a substrate, and it constituted so that two or more resistors with which the partial hole of these pluralities was filled up might be connected with the conductor pattern in which it was prepared by the internal wiring layer, or a resistor pattern. According to this configuration, it becomes easy to set up the position which forms a hole, and the degree of freedom of a design becomes high so much.

[0010] In invention of a claim 7, while it had the metal base on which a substrate is pasted up and the grand pattern was prepared in the adhesion side of a substrate, the heights was prepared so that it might project to a base side to this grand pattern. According to this configuration, an external surge discharges from the pattern for external-input terminals to a grand pattern through a resistor, further, from the heights of a grand pattern, it comes to discharge to the metal base through an adhesives layer, and an external surge discharges much more quickly.

[0011]

[Embodiments of the Invention]

(The 1st example) The 1st example which applied this invention to the alumina multilayer substrate is explained hereafter, referring to the drawing 1 or the drawing 4. First, drawing 1 is an enlarged vertical longitudinal sectional view of the alumina multilayer substrate 1. As shown in this drawing 1, the alumina multilayer substrate 11 is constituted in piles in four alumina substrates 12, 13, 14, and 15. The wiring layer 16 is formed in the top (top of the alumina substrate 12), it is located in the interior at each \*\* of four alumina substrates 12, 13, 14, and 15, the three-layer wiring layers 17, 18, and 19 are formed in the above-mentioned

alumina multilayer substrate 11, and the wiring layer 20 is formed in the inferior surface of tongue (inferior surface of tongue of the alumina substrate 15).

[0012] Each above-mentioned wiring layers 16-20 consist of a conductor pattern (wiring pattern) of a necessary configuration. Moreover, the above-mentioned conductor pattern consists of conductors, such as W and Mo. a drawing 1 Nakamigi edge [ here in the wiring layer 16 of the top of the alumina multilayer substrate 11 ] -- the object for external-input terminals -- the pattern for external-input terminals 21 is formed as a conductor The external-input terminal (not shown) is formed in this pattern for external-input terminals 21. moreover - - the drawing 1 Nakamigi edge in the wiring layer 20 of the inferior surface of tongue of the alumina multilayer substrate 11 -- the object for glands -- the grand pattern 22 is formed as a conductor

[0013] Moreover, the beer hall 23 is perpendicularly established in the site which the pattern for external-input terminals 21 in the alumina multilayer substrate 11 and the grand pattern 22 counter to the plate surface of the alumina multilayer substrate 11 as hole section. The bore dimension of the above-mentioned beer hall 23 is about 0.1-0.4mm in diameter. And it fills up with the resistor 24 of the resistance beyond 100kohm in this beer hall 23. The both ends (vertical edge) of this resistor 24 are connected to the pattern for external-input terminals 21, and the grand pattern 22. Moreover, the above-mentioned resistor 24 consists of an alumina which is a substrate material, and a charge of an admixture which is a conductor and which mixed W, Mo, etc., for example, and is a material into which resistance tends to miss an external surge greatly.

[0014] In addition, while many beer halls 25 other than the above-mentioned beer hall 23 are suitably established in the site which the conductor pattern of each wiring layers 16-20 in the alumina multilayer substrate 11 counters, it fills up with the conductor 26 in these beer halls 25. The conductor pattern of each wiring layers 16-20 is connected by the conductor 26 of these masses. and the above -- the conductor 26 consists of conductors, such as W and Mo

[0015] On the other hand, as shown also in drawing 2 , heights 22a protrudes on the inferior surface of tongue of the above-mentioned grand pattern 22 towards the lower part. The vegetation dimension a of this heights 22a is about 15-65 micrometers. In addition, thickness dimension B of the grand pattern 22 (namely, conductor pattern of the wiring layers 16-20) is about 15 micrometers.

[0016] Moreover, as shown in drawing 1 , the resistor layer 27 is formed in such a top of the alumina multilayer substrate 11 of a configuration printing and by burning. Moreover, the electronic parts 28, such as IC and a bare chip, are attached in the top of the alumina multilayer substrate 11 by soldering or the electroconductive glue. In addition, in drawing 1 , the sign "29" shows solder or the electroconductive glue.

[0017] Furthermore, as the above-mentioned alumina multilayer substrate 11 carries the inferior surface of tongue on the metal base 30, it is being fixed to this base 30 by adhesion. The above-mentioned base 30 is a case for carrying out hold fixation of the alumina multilayer substrate 11. In this case, it fills up with the insulating adhesives 31 between the inferior surface of tongue of the alumina multilayer substrate 11, and the top of the base 30, and the thickness dimension of the layer of these adhesives 31 is about 100 micrometers. Therefore, the opening between the point of heights 22a of the grand pattern 22 and the top of the base 30 is about 20-70 micrometers.

[0018] Next, the process which manufactures the alumina multilayer substrate 11 of the above-mentioned configuration is explained briefly. First, the green sheet (the thickness of one green sheet is about 0.1-0.4mm) of the alumina of four sheets corresponding to four alumina substrates 12-15 is prepared, and beer halls 23 and 25 are formed in the position of the green sheet of these four sheets. then, the conductor which consists of W, Mo, etc. -- it is filled up with a paste 26 by the well-known technique (for example, screen-stencil) in the beer hall 25 of a green sheet. Subsequently, it is filled up with the resistor paste 24 which consists of a charge of an admixture which mixed W, Mo, etc. with the alumina by the well-known technique (for example, screen-stencil) in the beer hall 23 of a green sheet. About the concrete mixture rate of the above-mentioned charge of an admixture, it mentions later.

[0019] and the conductor which becomes the front face of each green sheet from W, Mo, etc. - the printing pattern corresponding to the conductor pattern of the wiring layers 16-20 is formed by screen-stenciling a paste. Then, while the green sheet of four sheets is piled up, it is pressurized and stuck by pressure in the status that it piled up. Then, this thing stuck by pressure is calcinated at the temperature of about 1600 degrees C. Thereby, the alumina multilayer substrate 11 which is shown in drawing 1 is manufactured. In this configuration, the resistor 24, the conductor 26, and the substrate 11 are constituted so that simultaneous baking may be carried out.

[0020] If external surge voltage is impressed by the pattern for external-input terminals 21 of the alumina multilayer substrate 11 according to this example of such a configuration, this external surge will discharge quickly to the ground pattern 22 through the resistor 24 with which the beer hall 23 of the alumina multilayer substrate 11 was filled up. For this reason, the circuit element (for example, electronic parts 28) prepared on the alumina multilayer substrate 11 is protected from the above-mentioned external surge. And since the alumina multilayer substrate 11 is filled up inside the beer hall 23 prepared [ as opposed to / the plate surface / the case of this example ] perpendicularly, as for a resistor 24, neither moisture nor moisture adheres at the front face of a resistor 24. It is unnecessary to be able to prevent change of the ease of carrying out of electric discharge of an external surge, and to take the special measures against moisture proof moreover by this.

[0021] Moreover, with the configuration of the above-mentioned example, since the required minimum area which must be secured in the top of the alumina multilayer substrate 11 in order to arrange a resistor 24 can be managed with an area grade larger a little than the cross section of a beer hall 23, it can miniaturize the alumina multilayer substrate 11 so much.

[0022] Here, the charge of an admixture which constitutes the resistor 24 of the above-mentioned example is explained with reference to the drawing 3 and the drawing 4 . First, this invention person surveyed how the resistance after baking of the charge of an admixture which mixed W (tungsten) or Mo (molybdenum) which is an electric conduction component, and the alumina would change with mixed rates. As an example, the measurement result which measured resistance is shown in drawing 3 , changing the mixed rate (for example, weight ratio of an alumina) of the charge of an admixture of W and an alumina. This drawing 3 showed that increased abruptly and the resistance after baking of the charge of an admixture became infinity (open), when the mixed rate of an alumina was carried out beyond the predetermined value.

[0023] It is thought that the ground the above-mentioned resistance becomes such is for the site whose electric junction of electric conduction grain (grain of W) is lost to arise in the electric

conduction path of a resistor (charge of an admixture) if the mixed rate of an alumina becomes more than fixed as the mixed rate of an alumina shown in the few drawing 4 (a) and the drawing 4 with many mixed rates of an alumina (b). In addition, from a green sheet, the glassy fraction shown in above-mentioned view 4 (a) and (b) flows in at the time of baking, and is formed at it. And the alumina grain whose particle size of an electric insulation is about 1-3 micrometers when it is the configuration of the drawing 4 with many mixed rates of the above-mentioned alumina (b), and since it is therefore secured glassy, a distance for insulation is the parvus very much. For this reason, when a high voltage like external surge voltage was impressed, dielectric breakdown is carried out easily and it was checked that an external surge passes a resistor (charge of an admixture).

[0024] Moreover, according to the experiment of this invention person, at the time of impression of an external surge, the surge passed the resistor (charge of an admixture) and after transit checked that insulation was secured again. That is, it turns out that the resistor which consists of the above-mentioned charge of an admixture has the property desirable as electric discharge resistance of an external surge, and the property that resistance specifically tends to miss an external surge greatly.

[0025] And in the case of the graph of drawing 3 , as a mixed rate of W and an alumina, it turns out that a weight ratio should just set it as the field before and behind about 50% the place where resistance becomes infinite abruptly. Since the relation (graph of drawing 3 ) between a mixed rate and resistance changes, after measuring the graph of drawing 3 here using the conductor and alumina which are actually used with the modality and particle size of a conductor, a configuration, and the particle size and the configuration of an alumina, it is desirable to set up the optimum mixed rate.

[0026] Moreover, although the resistor 24 was constituted from a charge of an admixture which mixed the substrate material (alumina) and the conductor, it may not be restricted to this, other materials may be added, and a resistor may consist of an above-mentioned example. As an example which added other materials and constituted the resistor, the 2nd example ( drawing 5 ) and the 3rd example ( drawing 6 ) are shown.

[0027] (The 2nd example) As shown in view 5 , desired resistance has been obtained by constituting from the 2nd example so that metallic-oxide 32a may be made to intervene as a conductive material between the W grain 32 which is conductive grain at the time of baking of a substrate. As the above-mentioned metallic oxide, there is a metallic oxide which consists of metals, such as La, Y, Nb, and Sc, for example.

[0028] (The 3rd example) Again, as shown in drawing 6 , it constituted so that the metallic oxide which dissolves to an alumina at the elevated temperature (1600 degrees C) at the time of baking of a substrate might be added in the 3rd example. Even if much alumina grain 33 intervenes between the W grain 32 in this configuration, it is possible to obtain desired resistance.

[0029] In addition, in the 1st aforementioned example, although applied to the multilayer substrate 11 made from an alumina, it is not restricted to this and you may apply to the multilayer substrate made from a glass ceramic. In this configuration, it can manufacture by carrying out simultaneous baking of the glass ceramic multilayer substrate at about 850-900 degrees C. And in this configuration, it is desirable to use the glass ceramic which is a substrate material, and the charge of an admixture which is a conductor and which mixed Ag, Ag / Pd, Cu, Au, etc., for example as a material which constitutes the resistor for external

surge electric discharge. In addition, in the above-mentioned glass ceramic multilayer substrate, the above Ag and Ag / Pd, Cu, Au, etc. are used as the conductor for wiring layers, and a conductor for beer hall restoration.

[0030] Moreover, although it constituted from the 1st aforementioned example so that it might be filled up with a resistor 24 in the beer hall 23 (all) formed so that the multilayer substrate 11 made from an alumina might be penetrated, you may constitute so that it may not be restricted to this, only the part (for example, fraction corresponding to the two-layer alumina substrates 12 and 13) of the inside in a beer hall 23 may be filled up with a resistor and the remaining fraction may be filled up with a conductor.

[0031] (The 4th example) View 7 is drawing showing the 4th example of this invention. In addition, the same sign is given to the same fraction as the 1st example shown in drawing 1 . In the 4th above-mentioned example, this invention was applied to the through hole substrate 34. This through hole substrate 34 consists of a substrate 35 made from an alumina, and the wiring layers 36 and 37 prepared in the top and inferior surface of tongue of this substrate 35. Each above-mentioned wiring layers 36 and 37 consist of a conductor pattern (wiring pattern) of a predetermined configuration. Moreover, the above-mentioned conductor pattern consists of conductors, such as Ag, Ag / Pd, Cu, Au.

[0032] and -- the drawing 7 (a) Nakamigi edge in the wiring layer 36 on top -- the object for external-input terminals -- the pattern for external-input terminals 38 is formed as a conductor The external-input terminal (not shown) is formed in this pattern for external-input terminals 38. moreover -- the drawing 7 (a) Nakamigi edge in the wiring layer 37 at the bottom -- the object for glands -- the grand pattern 39 is formed as a conductor

[0033] Moreover, the through hole 40 is perpendicularly formed in the site which the pattern for external-input terminals 38 in a substrate 35 and the grand pattern 39 counter to the plate surface of a substrate 35 as hole section. And it fills up with the resistor 41 of the resistance beyond 100kohm in this through hole 40. The both ends (vertical edge) of this resistor 41 are connected to the pattern for external-input terminals 38, and the grand pattern 39. Moreover, it consists of an Ru system material, a LaB6 system material, a SnO2 system material, etc., for example, and the above-mentioned resistor 41 is a material which is a material of a general thick film resistor and into which resistance tends to miss an external surge greatly. In addition, the above-mentioned resistor 41 may consist of a charge of an admixture which mixed a conductor, and a resistor or glass.

[0034] And while many through holes 42 other than the above-mentioned through hole 40 are suitably formed in the site which the conductor pattern of the wiring layers 36 and 37 in a substrate 35 counters, it fills up with the conductor 43 in these through holes 42. The conductor pattern of each wiring layers 36 and 37 is connected by the conductor 43 of these masses. and the above -- the conductor 43 consists of conductors, such as Ag, Ag / Pd, Cu, Au

[0035] Moreover, as shown in drawing 7 (a), when the resistor layer 27 prints and burns, it is prepared in such the top and inferior surface of tongue of the through hole substrate 34 of a configuration. Moreover, the electronic parts 28, such as IC and a bare chip, are attached in the top of the through hole substrate 34 by soldering or the electroconductive glue. Furthermore, as the above-mentioned through hole substrate 34 carries the inferior surface of tongue on the metal base 30, it is being fixed to this base 30 by adhesion.

[0036] The process which manufactures the through hole substrate 34 of the above-mentioned configuration here is explained briefly. First, the alumina of the shape of a raw sheet is



calcinated and a substrate 35 is formed. In this case, it is desirable to form through holes 40 and 42 in a substrate 35 before baking. In addition, you may form through holes 40 and 42 after baking of a substrate 35.

[0037] then, the conductor which consists of Ag, Ag / Pd, Cu, Au, etc. in the through hole 42 of the above-mentioned substrate 35 -- it is filled up by the technique (for example, screen-stencil) of common knowledge of a paste in this case, it is shown in drawing 7 (b) -- as -- the inner skin of a through hole 42, and the up-and-down opening pars marginalis -- a conductor -- a paste -- printing -- a conductor -- you may constitute so that the layer of a paste may be formed Subsequently, it is filled up in the through hole 40 for resistor 41 restoration of a substrate 35 by the technique (for example, screen-stencil) of common knowledge of the resistor paste which consists of a material of a general thick film resistor etc. In addition, also in this case, as shown in drawing 7 (b), a resistor paste may be printed only at the inner skin of a through hole 40, and the up-and-down opening pars marginalis, and you may constitute so that the layer of a resistor paste may be formed.

[0038] and the conductor which becomes the vertical side of a substrate 35 from Ag, Ag / Pd, Cu, Au, etc. -- the printing pattern corresponding to the conductor pattern of the wiring layers 36 and 37 is formed by screen-stenciling a paste Then, a substrate 35 is calcinated at the temperature of about 850 degrees C. Thereby, the through hole substrate 34 which is shown in drawing 7 (a) is manufactured.

[0039] In addition, the configuration of the 4th example except having mentioned above is the same configuration as the configuration of the 1st example. Therefore, also in this 4th example, the almost same operation effect as the 1st example can be acquired. Moreover, you may constitute so that the heights of the same configuration as heights 22a which protruded on the grand pattern 22 of the 1st example may be protruded on the grand pattern 39 of the 4th example.

[0040] (The 5th example) View 8 is drawing showing the 5th example of this invention. In addition, the same sign is given to the same fraction as the 1st example shown in drawing 1 . In the 5th above-mentioned example, this invention was applied to the thick-film multilayer substrate 44. This thick-film multilayer substrate 44 is formed in the top of the ceramic substrate 45 which consists of an alumina etc. by printing and calcinating the wiring layers 46 and 47 and the insulating layer 48.

[0041] concrete -- first -- the top of the ceramic substrate 45 -- a conductor -- after printing a paste and forming the printing pattern corresponding to the conductor pattern of the wiring layer 46, this printing pattern is calcinated At this time, grand pattern 46a is formed as a part of conductor pattern of the wiring layer 46. Then, this is calcinated, after printing the insulator paste which consists of glass etc. and forming an insulating layer 48 on it. this time -- the beer hall 50 for resistor 49 restoration to an insulating layer 48, and a conductor -- the beer hall 52 for 51 restoration is formed

[0042] next, the inside of a beer hall 52 -- a conductor -- the conductor with which it was these-filled up after filling up with a resistor paste by printing etc. in a beer hall 50, while it was filled up with the paste by printing etc. -- a paste and a resistor paste are calcinated in this case, a conductor -- after filling up with a paste -- this -- a conductor -- you may constitute so that a paste may be calcinated and a resistor paste may be filled up with and calcinated after that moreover, a conductor after filling up with and calcinating a resistor paste previously -- you may constitute so that a paste may be filled up with and calcinated

[0043] then, the top of the above-mentioned insulating layer 48 -- a conductor -- after printing a paste and forming the printing pattern corresponding to the conductor pattern of the wiring layer 47, this printing pattern is calcinated. At this time, pattern 47a for external-input terminals is formed as a part of conductor pattern of the wiring layer 47. Thereby, the thick-film multilayer substrate 44 is manufactured. and the top of the thick-film multilayer substrate 44 manufactured in this way -- the resistor layer 27 -- printing -- and it has printed. Moreover, the electronic parts 28, such as IC and a bare chip, are attached in the top of the thick-film multilayer substrate 44 by soldering or the electroconductive glue.

[0044] In addition, the configuration of the 5th example except having mentioned above is the same configuration as the configuration of the 1st example. Therefore, also in this 5th example, the almost same operation effect as the 1st example can be acquired. Moreover, although it constituted so that an insulating layer 48 might be formed by performing once the work which prints and calcinates an insulator paste in the case of the 5th above-mentioned example, it may replace with this, and you may constitute by carrying out the multiple-times execution of the work which prints and calcinates an insulator paste so that an insulating layer 48 may be formed. Furthermore, in the 5th example, although the two-layer wiring layers 46 and 47 and the insulating layer 48 of one layer were formed on the ceramic substrate 45, it is not restricted to this, and you may constitute so that the insulating layer more than a three or more-layer wiring layer and two-layer may be prepared.

[0045] (The 6th example) View 9 is drawing showing the 6th example of this invention. In addition, the same sign is given to the same fraction as the 1st example shown in drawing 1 . In the 6th above-mentioned example, in forming the hole for resistor restoration in the alumina multilayer substrate 11, the plurality 53, 54, 55, and 56, for example, four beer halls, was formed so that a position might shift to longitudinal direction inside the alumina multilayer substrate 11. And while it was filled up with resistors 57, 58, 59, and 60 in these four beer halls 53, 54, and 55 and 56, respectively, it connected by the conductor patterns 61, 62, and 63 in which these four resistors 57, 58, 59, and 60 were formed by the internal wiring layers 17, 18, and 19. Moreover, the upper-limit section of the resistor 57 of the most significant was connected to the pattern for external-input terminals 21, and the soffit section of the resistor 60 of the least significant was connected to the grand pattern 22.

[0046] In this configuration, four beer halls 53, 54, 55, and 56 constitute the partial hole. And the hole 64 for resistor restoration consists of these beer halls 53, 54, 55, and 56. In addition, the component of resistors 57-60 is the same material as the resistor 24 of the 1st example.

[0047] Moreover, the configuration of the 6th example except having mentioned above is the same configuration as the configuration of the 1st example. Therefore, also in this 6th example, the almost same operation effect as the 1st example can be acquired. Especially, according to the 6th above-mentioned example, it becomes easy to set up the position which forms the hole 64 for resistor restoration in the ceramic multilayer substrate 11, and degree of freedom of a design can be made high so much.

[0048] In addition, in the 6th above-mentioned example, although it constituted so that all of four beer halls 53-56 might be filled up with resistors 57-60, you may constitute so that it may not be restricted to this, at least one of four beer halls 53-56 may be filled up with a resistor and it may be filled up with a conductor in the remaining beer hall. The operation effect as the 6th above-mentioned example that it is the same also in this configuration can be acquired.

[0049] (The 7th example) View 10 is drawing showing the 7th example of this invention. In addition, the same sign is given to the same fraction as the 6th example shown in drawing 9. It constituted from the 7th above-mentioned example so that four resistors 57-60 with which four beer halls 53-56 which are two or more partial holes were filled up might be connected with the resistor patterns 65, 66, and 67 in which it was prepared by the internal wiring layers 17, 18, and 19. What is necessary is just to form the above-mentioned resistor patterns 65, 66, and 67 by the same printing technique in the process which prints the conductor pattern of the internal wiring layers 17, 18, and 19. In addition, the configuration of the 7th example other than this is the same configuration as the configuration of the 6th example. Therefore, also in this 7th example, the almost same operation effect as the 6th example can be acquired.

[0050] Moreover, in the 7th above-mentioned example, although it constituted so that all of four beer halls 53-56 might be filled up with resistors 57-60, you may constitute so that it may not be restricted to this, at least one of four beer halls 53-56 may be filled up with a resistor and it may be filled up with a conductor in the remaining beer hall. The operation effect as the 7th above-mentioned example that it is the same also in this configuration can be acquired.

[0051] (Octavus example) View 11 is drawing showing the octavus example of this invention. In this octavus example, an insulating layer 71 is constituted for three insulating layers 68, 69, and 70 in piles, the pattern for external-input terminals 72 is formed in the top of the upper insulating layer 68, and the grand pattern 73 is formed in the inferior surface of tongue of the lower insulating layer 70. The insulating layer 69 of the middle of the insulating layers 68, 69, and 70 of the three above-mentioned layers is a dielectric layer for thickness consisting of a layer of the dielectric which is about 10-50 micrometers, and creating a capacitor to other sites (not shown) inside an insulating layer 71.

[0052] And beer halls 74 and 75 are established in the site which the pattern for external-input terminals 72 of the upper insulating layer 68 and the lower insulating layers 70 and the grand pattern 73 counter as a hole. Furthermore, it fills up with resistors 76 and 77 in these beer halls 74 and 75. The upper-limit section of the upper resistor 76 is connected to the pattern for external-input terminals 72, and the soffit section of the lower resistor 77 is connected to the grand pattern 73. The soffit section of the upper resistor 76 and the upper-limit section of the lower resistor 77 have countered on both sides of an insulating layer 69.

[0053] Since the thickness of an insulating layer 56 is thin enough in the above-mentioned configuration, if external surge voltage is impressed to the pattern for external-input terminals 72, this external surge voltage will discharge to the grand pattern 73 through the resistors 76 and 77 and the insulating layer 69. In addition, the configuration of the octavus example except having mentioned above is the same configuration as the configuration of the 1st example. Therefore, also in this octavus example, the almost same operation effect as the 1st example can be acquired.

[0054] In addition, in each above-mentioned example, although this invention was applied to the wiring substrate which consisted of the so-called thick film circuit, it may replace with this and you may apply to the wiring substrate and printed-circuit substrate which consisted of the so-called thin film circuit.

[0055] Moreover, it is good also as nitriding aluminum in the component of the substrate explained in each above-mentioned example in addition to an alumina or a glass ceramic. The conductor material in this case can also use W and Mo. And it can consider as the material which enlarges resistance with constituting from a charge of an admixture which mixed W

which is the nitriding aluminum and the conductor which are a substrate material, and Mo, and is easy to miss an external surge as a low antibody with which it is filled up in a hole.

**Brief Description of the Drawings]**

[Drawing 1] The expansion vertical section side elevation of an alumina multilayer substrate showing the 1st example of this invention

[Drawing 2] The partial expansion vertical section side elevation of the grand pattern circumference

[Drawing 3] The graph which shows the relation between the mixed rate (weight ratio of an alumina) of a resistor, and resistance

[Drawing 4] (b) is drawing in which (a) shows the charge of an admixture when there are few aluminas, and drawing showing the charge of an admixture when there are many aluminas.

[Drawing 5] Drawing showing the charge of an admixture which shows the 2nd example of this invention

[Drawing 6] Drawing showing the charge of an admixture which shows the 3rd example of this invention

[Drawing 7] The 4th example of this invention is shown, (a) is a 1 about drawing view and (b) is the vertical section side elevation of the modification of the 4th example.

[Drawing 8] The 1 about drawing view showing the 5th example of this invention

[Drawing 9] The 1 about drawing view showing the 6th example of this invention

[Drawing 10] The 9 about drawing view showing the 7th example of this invention

[Drawing 11] The 1 about drawing view showing the octavus example of this invention

[Drawing 12] The partial plan of a wiring substrate showing a configuration conventionally

[Drawing 13] The partial vertical section side elevation of a wiring substrate

**[Description of Notations]**

An alumina multilayer substrate, and 12, 13, 14 and 15 11 An alumina substrate, A wiring layer and 21 16, 17, 18, 19, and 20 The pattern for external-input terminals (for external-input terminals conductor), 22 a heights and 23 for a grand pattern (gland conductor) and 22a A beer hall (hole section), In 24, a resistor and 25 electronic parts and 30 for a beer hall and 28 The base, In 31, insulating adhesives and 34 a substrate, and 36 and 37 for a through hole substrate and 35 A wiring layer, 38 a grand pattern and 40 for the pattern for external-input terminals, and 39 A through hole, In 41, a resistor and 42 a thick-film multilayer substrate and 45 for a through hole and 44 A ceramic substrate, In 46 and 47, a wiring layer and 48 a resistor and 50 for an insulating layer and 49 A beer hall, 51 a beer hall, and 53-56 for a conductor and 52 A beer hall (partial hole), 57-60 -- a resistor, and 61-63 -- a resistor pattern and 64 -- a hole, and 65-67 -- in the pattern for external-input terminals, and 73, a grand pattern, and 74 and 75 show 76 and a beer hall (hole section) and 77 show [ a resistor pattern, and 68-71 / an insulating layer and 72 ] a resistor

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-068261

(43)Date of publication of application : 09.03.1999

(51)Int. Cl.

H05K 1/02

H01L 23/62

H05K 1/11

(21)Application number : 09-228179

(71)Applicant : DENSO CORP

(22)Date of filing : 25.08.1997

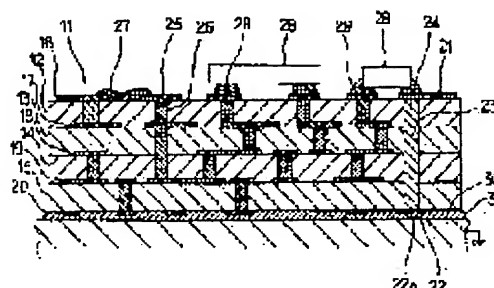
(72)Inventor : NAGASAKA TAKASHI

(54) WIRING BOARD

(57)Abstract:

PROBLEM TO BE SOLVED: To prevent the discharge easiness of an external surge from varying without providing special dust-proofing means, by discharging the surge applied to an outer input terminal conductor to a ground conductor via a resistance filled in holes of the board.

SOLUTION: An external surge applied to an outer input terminal pattern 21 of an alumina multilayered board 11 is quickly discharged to a ground 22 via a resistance 24 filled in vias 23 of the board 11, thereby protecting electronic components 28 provided on the board 11 from the external surge. The resistance 24 filled in the vias 23 of the board 11 prevents the water content or moisture from depositing to the resistance 24 surface, thereby preventing the discharge easiness of the external surge from varying and eliminating the need of providing special dust-proofing means.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's  
decision of rejection]

[Date of requesting appeal against  
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998, 2000 Japan Patent Office

WPI

TI - Multilayer wiring board - has pattern for external input terminals, connected to ground pattern through resistor filled in via-hole

AB - J11068261 NOVELTY - A wiring layer is provided with the pattern for external input terminals (21) and another wiring layer with the ground pattern (22). The pattern for external input terminals is connected to the ground pattern through a resistor (24) filled in the via-hole (23) provided in the board.

- USE - None given.

- ADVANTAGE - Protects circuit from external surge voltage. Need for special moisture-proof counter measure is eliminated. DESCRIPTION OF DRAWING(S) - The figure shows an enlargement vertical section side view of an alumina multilayer board. (21) Pattern for external input terminals; (22) Ground pattern; (23) Via-hole; (24) Resistor.

- (Dwg.1/13)

PN - JP11068261 A 19990309 DW199920 H05K1/02 009pp

PR - JP19970228179 19970825

PA - (NPDE ) NIPPONDENSO CO LTD

MC - U13-E01 V04-Q05 V04-R05A

DC - U13 V04

IC - H01L23/62 ;H05K1/02 ;H05K1/11

AN - 1999-239493 [20]

PAJ

TI - WIRING BOARD

AB - PROBLEM TO BE SOLVED: To prevent the discharge easiness of an external surge from varying without providing special dust-proofing means, by discharging the surge applied to an outer input terminal conductor to a ground conductor via a resistance filled in holes of the board.

- SOLUTION: An external surge applied to an outer input terminal pattern 21 of an alumina multilayered board 11 is quickly discharged to a ground 22 via a resistance 24 filled in vias 23 of the board 11, thereby protecting electronic components 28 provided on the board 11 from the external surge.. The resistance 24 filled in the vias 23 of the board 11 prevents the water content or moisture from depositing to the resistance 24 surface, thereby preventing the discharge easiness of the external surge from varying and eliminating the need of providing special dust-proofing means.

PN - JP11068261 A 19990309

PD - 1999-03-09

ABD - 19990630

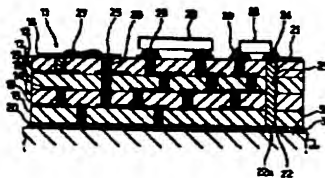
ABV - 199908

AP - JP19970228179 19970825

PA - DENSO CORP

IN - NAGASAKA TAKASHI

I - H05K1/02 ;H01L23/62 ;H05K1/11



main job finished

<First Page Image>